

IN THE U.S. PATENT AND TRADEMARK OFFICE

JC903 U.S. PTO  
10/054823  
01/25/02

Applicant(s): MATSUMOTO, Hironori et al.

Application No.:

Group:

Filed: January 25, 2002

Examiner:

For: INTEGRATED SEMICONDUCTOR CIRCUIT DEVICE, PROCESS OF  
MANUFACTURING THE SAME, IC MODULE AND IC CARD

L E T T E R

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

January 25, 2002  
0397-0439P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-027128	02/02/01

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:

  
CHARLES GORENSTEIN

Reg. No. 29,271

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/ka

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

MATSUMOTO, et al.,  
6-37-25, 2002  
BSKB, LLP  
(703) 205-8000  
0397-0428  
10/05/02  
01/25/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2001年 2月 2日

出 願 番 号  
Application Number:

特願2001-027128

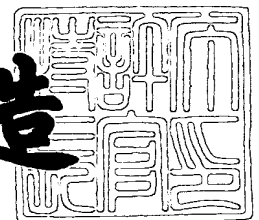
出 願 人  
Applicant(s):

シャープ株式会社

2001年11月16日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3100717

【書類名】 特許願

【整理番号】 00J05229

【提出日】 平成13年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 B42D 15/10  
G06K 19/00

【発明の名称】 半導体集積回路装置、その製造方法、I Cモジュール、  
I Cカード

【請求項の数】 6

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株  
式会社内

【氏名】 松本 弘則

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株  
式会社内

【氏名】 近江 俊典

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置、その製造方法、ICモジュール、ICカード

【特許請求の範囲】

【請求項1】 ショットキーバリアダイオードで構成されるダイオードブリッジ回路と、MOS型トランジスタで構成される周辺回路とが、同一のシリコン基板上に形成され、ショットキーバリアダイオードの構成要素であるショットキーバリアがシリサイド層からなることを特徴とする半導体集積回路装置。

【請求項2】 ショットキーバリアとしてのシリサイド層が、MOS型トランジスタの構成要素であるソース・ドレイン領域上及びゲート電極上に自己整合的に形成されたシリサイド層と同時に形成されたシリサイド層である請求項1に記載の装置。

【請求項3】 ショットキーバリアダイオードで構成されるダイオードブリッジ回路と、MOS型トランジスタで構成される周辺回路とが、同一のシリコン基板上に形成されている半導体集積回路装置の製造方法であって、

MOS型トランジスタのソース・ドレイン領域、ゲート電極上、及びショットキーバリアダイオードのショットキーバリア形成用領域の各々の所定の位置の表面を露出させる工程と、

全露出面を非晶質化させる工程と、

全露出面にシリサイド化しうる金属層を同時に形成する工程と、

熱処理に付して露出面と金属層とのシリサイド化を行なうことでシリサイド層を形成する工程と、

シリサイド層の低抵抗化のために熱処理する工程  
とを含むことを特徴とする請求項1又は2に記載の半導体集積回路装置の製造方法。

【請求項4】 シリサイド化のための熱処理工程及びシリサイド層の低抵抗化のための熱処理工程が、いずれもRTA (Rapid Thermal Anneal) 法である請求項3に記載の製造方法。

【請求項5】 請求項1又は2に記載の半導体集積装置を搭載したICモジ

ユー。ル。

【請求項 6】 請求項 5 に記載の IC モジュールを搭載した IC カード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置、その製造方法、IC モジュール、IC カードに関する。

【0002】

【従来の技術】

非接触の IC カードにおいては、いわゆるリーダライタと IC カード本体との間で、電源電圧の供給や制御信号とデータの授受が非接触で行なわれている。そのために、IC カード側に受電コイルとダイオードブリッジ回路を設け、それらを介して、電源電圧の供給や制御信号とデータの授受が行なわれている。通常ここで用いられるダイオードブリッジ回路は、応答速度を上げるために、順方向立ち上がり電圧の低い、ショットキーバリアダイオードを用いて構成されている。

【0003】

その一例が、特開昭 63-185693 号公報に開示されており、図 7 にその半導体集積回路装置の概略平面図を示す。図 7 において、100 は P 型シリコン基板に形成された N チャンネル型 MOSFET、110 は P チャンネル型 MOSFET、120 は N 型のウエル電源、130 はショットキーバリアダイオードを示している。

【0004】

図 8 は、図 7 の III-III 線に沿った概略断面図である。

P 型のシリコン基板 51 上に、N 型ウエル（半導体領域）52 と、P 型チャンネルストッパ 53 とを形成し、周知の選択酸化技術、いわゆる LOCOS 法により薄いゲート酸化膜 54（トランジスタ形成領域 54'）と、厚いフィールド酸化膜 55 とを形成する。

次に、多結晶シリコンを用いてゲート電極 56 を形成し、該ゲート電極 56 と厚いフィールド酸化膜 55 とをマスクにして、ヒ素イオンを注入し、N チャンネ

ルMOSFET100のソース・ドレイン領域57とウエル電源120を形成する。

#### 【0005】

次に、ショットキーバリアダイオードの逆方向特性の高耐圧化を図るために、ボロンをイオン注入して低濃度の $P^-$ 拡散層58を形成する。更に、ボロン注入を行なってPチャンネルMOSFET110のソース・ドレイン領域59と、ショットキーバリアダイオードの $P^+$ 拡散層59'とを形成する。

続いて、層間絶縁膜60を堆積した後、所定の位置を開口してコンタクトホール61を開口し、該コンタクトホール61を介して、例えばアルミニウム(A1)の薄膜を用いて金属配線62を形成し、熱処理を施すことにより、NチャンネルMOSFET100、PチャンネルMOSFET110が形成されると共に、金属配線62とN型ウエル52との間にショットキーバリアダイオード130が形成されるというものである。

#### 【0006】

しかし、半導体集積回路の製造技術の微細化に伴い、MOSFETのソース・ドレイン領域の電氣的な接続方法は、従前の方法とは異なり、例えばタングステン(W)を用いた所謂プラグ構造を用いる必要が生じ、更に、トランジスタのソース・ドレイン領域とゲート電極領域の各上面には、例えばチタンによるチタンシリサイド層を形成して配線抵抗を下げるというプロセスが用いられるようになっている。

#### 【0007】

##### 【発明が解決しようとする課題】

ショットキーバリアダイオードで構成されるダイオードブリッジ回路と、MOSFETで構成される周辺回路を、同一のシリコン基板上に形成する場合、半導体集積回路の製造技術の微細化に伴い用いられるプロセス、つまり従来とは異なる配線構造を形成するプロセスを用いる場合には、ショットキーバリアを形成する製造方法では、ショットキーバリアをMOSFETの配線形成工程とは別に形成する必要が生じる。

#### 【0008】

つまり、ショットキーバリアダイオードのアノード・カソード電極領域の開口、ショットキーバリアを形成する金属の堆積等の工程が増加して煩雑になり、またコストアップの原因にもなる。工程を増やさずにショットキーバリアダイオードを形成するためには、ショットキーバリアダイオードの構造も、MOSFETのコンタクト部分と同様の構造を利用したものにする必要がある。

【0009】

【課題を解決するための手段】

かくして本発明によれば、ショットキーバリアダイオードで構成されるダイオードブリッジ回路と、MOS型トランジスタで構成される周辺回路とが、同一のシリコン基板上に形成され、ショットキーバリアダイオードの構成要素であるショットキーバリアがシリサイド層からなることを特徴とする半導体集積回路装置が提供される。

【0010】

更に、本発明によれば、ショットキーバリアダイオードで構成されるダイオードブリッジ回路と、MOS型トランジスタで構成される周辺回路とが、同一のシリコン基板上に形成されている半導体集積回路装置の製造方法であって、

MOS型トランジスタのソース・ドレイン領域、ゲート電極上、及びショットキーバリアダイオードのショットキーバリア形成用領域の各々の所定の位置の表面を露出させる工程と、

全露出面を非晶質化させる工程と、

全露出面にシリサイド化しうる金属層を同時に形成する工程と、

熱処理に付して露出面と金属層とのシリサイド化を行なうことでシリサイド層を形成する工程と、

シリサイド層の低抵抗化のために熱処理する工程

とを含むことを特徴とする上記半導体集積回路装置の製造方法が提供される。

また、本発明によれば、上記半導体集積装置を搭載したICモジュールが提供される。

更に、本発明によれば、上記ICモジュールを搭載したICカードが提供される。



## 【0011】

要するに、本発明は、上記の課題を解決するためになされたもので、ショットキーバリアダイオードで構成されるダイオードブリッジ回路、及びMOSFETで構成される周辺回路を同一シリコン基板上に有する半導体集積回路装置において、MOSFETのソース・ドレイン領域及びゲート電極の所定の位置に自己整合で形成されるシリサイド層を、ショットキー電極として使用するものである。

## 【0012】

本発明の構成によれば、ショットキー金属電極を、MOSFETのソース・ドレイン領域及びゲート電極の所定の位置に自己整合で形成されるシリサイド層にて作成し、コンタクトプラグを介し、配線に接続するという、トランジスタ部と同様の構造が取れるため、トランジスタ部のプラグ作成後にショットキー電極を形成する部分の開口を行なう工程及び電極のパターン形成を行なう工程を省くことが可能となる。また、電極を自己整合で作成できるため、高集積化が可能となり、ショットキー接合がシリサイド層とシリコン間に形成されるため、金属とシリコン間に形成された場合のスパイクの発生が抑えられ、歩留まりの向上が期待できる。

## 【0013】

## 【発明の実施の形態】

本発明の実施の形態の一例を、図面を用いて詳しく説明する。

図1は、本発明の一例の実施の形態を示すもので、半導体集積回路装置の要部の概略断面図で、N型MOSFET101、P型MOSFET102、及びショットキーバリアダイオード103が形成されている。更に詳しくは、P型のシリコン基板1上に、N型ウェル2、P型ウェル3、厚いフィールド酸化膜4、高濃度の $N^+$ 拡散層5、高濃度の $P^+$ 拡散層6、チタンシリサイド層7、層間絶縁膜8、1層目埋め込みプラグ9、1層目配線10、2層目埋め込みプラグ11、2層目配線12、電極パッド部13により構成されているものである。

## 【0014】

なお、本発明ではショットキーバリアダイオード103のショットキーバリア形成領域（高濃度の $P^+$ 拡散層6とその間部分のN型ウェル2）上にシリサイド

層（チタンシリサイド層 7）からなるショットキーバリアが形成されていることを特徴の 1 つとしている。

次に、図 2 ～ 4 を用いて、本発明に係る半導体集積回路装置の製造方法の一例を詳しく説明する。なお本発明に係る各工程は、半導体集積回路装置の製造工程で通常使用されている装置や条件を利用することができるため、特段の場合を除いてその詳細は省略する。

#### 【 0 0 1 5 】

まず、例えば P 型のシリコン基板 1 の一主要表面上に、素子分離を行なうために STI (Shallow Trench Isolation) 処理により、フィールド酸化膜 4 を約 4 0 0 nm の厚さ形成する（図 2 (a) 参照）。

次に、N 型ウェル 2 と P 型ウェル 3 とを形成した後、ゲート酸化膜 1 4 を約 1 0 nm、続いて、多結晶シリコン膜を約 5 0 0 nm の厚さ堆積し、フォトリソグラフィ・エッチング技術により、ゲート電極 1 5 を形成する（図 2 (b) 参照）。

#### 【 0 0 1 6 】

次に、ゲート電極 1 5 の側壁に、酸化膜によるサイドウォールスペーサー 1 6 を形成し、所定の位置をフォトレジスト 2 3 で覆い、このフォトレジスト 2 3、ゲート電極 1 5 及び厚いフィールド酸化膜 4 とをマスクにしてヒ素イオンを注入し、N チャンネル型 MOSFET のソース・ドレイン領域 1 7 と、ショットキーバリアダイオードの高濃度の  $N^+$  拡散層 5 とを形成する（図 2 (c) 参照）。

次に、フッ化ボロン注入を行なって P チャンネル型 MOSFET のソース・ドレイン領域 1 9 と、ショットキーバリアダイオードの高濃度の  $P^+$  拡散層 6 とを形成する（図 2 (d) 参照）。

次に、サリサイド (Selfalign Silicide) 処理により、MOSFET のソース・ドレイン領域 1 7 と 1 9、ゲート電極 1 5、ショットキーバリアダイオードのアノード 2 1、カソード 2 2 の各上部に、チタンシリサイド層 7 を約 5 0 nm の厚さ形成する。

#### 【 0 0 1 7 】

チタンを用いてシリサイド層を形成する工程を、更に詳しく説明する。MOSFET のソース・ドレイン領域 1 7 と 1 9、ゲート電極 1 5、ショットキーバリア

アダイオードのアノード21、カソード22の各部のシリコン表面が露出するようにシリコン酸化膜のエッチングを行なう。

次に、露出したシリコン表面を非晶質化させるためにヒ素のイオン注入を行ない、次いでチタン層7'をスパッタリング法にて約50nm堆積させる(図3(e)参照)。RTA(Rapid Thermal Anneal)法により、窒素雰囲気中で約650℃、約40秒の加熱を行ない、チタンとシリコンを反応させて、チタンシリサイド層(C49相)を形成する。

#### 【0018】

金属のシリサイドプロセスは雰囲気に影響されやすく、高精度の雰囲気制御が必要である。RTA装置は枚葉式の熱処理装置であり、熱処理を行なう容器(チャンバー)が小さいため、高精度の雰囲気制御が可能なので、シリサイドプロセスに好適である。

次に硫酸+過酸化水素水にて未反応チタン層部を除去する。この後、チタンシリサイド層の低抵抗化のために、RTA法にて約850℃、約10秒の加熱を行ない、チタンシリサイド層(C54相)へ相転移を起こさせる。

#### 【0019】

これにより、前記に挙げた、MOSFETのソース・ドレイン領域17と19、ゲート電極15、ショットキーバリアダイオードのアノード21、カソード22の各上部に同時にチタンシリサイド層7を形成することができる(図3(f)参照)。

ショットキーバリアダイオードのカソード22は、高濃度の $N^+$ 拡散層上なので、MOSFETのソース・ドレイン領域同様のオーミック接合が形成され、アノード部にショットキー接合が形成される。

なお、シリサイド層を形成する金属としてチタンを用いた例を述べたが、チタン以外に、タングステン、コバルト、白金等の金属を用いて形成してもかまわない。その作成工程はチタンの場合とほぼ同様であり、詳細は省略する。

#### 【0020】

次に、酸化膜等で層間絶縁膜8を約1400nmの厚さ堆積したのち、CMP(Chemical Mechanical Polishing)法により、

表面を約 5 0 0 n m 削って表面の平坦化を行なう。その後、フォトリソグラフ・エッチング技術により層間絶縁膜の所定の位置、つまりトランジスタのソース・ドレイン領域、ゲート電極、ショットキーバリアダイオードのアノード及びカソードの各上部の所定の位置に開口部を設ける（図 3（g）参照）。

次に、チタン層を約 6 0 n m、窒化チタン層を約 1 0 0 n m の厚さ堆積し、続いてタングステン層を約 5 0 0 n m の厚さ堆積した後、エッチバックにより、層間絶縁膜の開口部以外のチタン層、窒化チタン層、タングステン層を除去し、1 層目埋め込みプラグ 9 を形成する（図 3（h）参照）。

#### 【 0 0 2 1 】

次に、チタン層を約 3 0 n m、窒化チタン層を約 2 0 n m、Al-Cu 層を約 4 0 0 n m、窒化チタン層を約 1 0 0 n m の厚さ堆積した後、フォトリソグラフ・エッチング技術により、1 層目配線 1 0 を形成する（図 3（i）参照）。

次に、酸化膜による層間絶縁膜 8' を約 2 0 0 0 n m の厚さ堆積し、CMP 法により約 1 0 0 0 n m 表面を削って表面の平坦化を行ない、その後層間絶縁膜 8' にフォトリソグラフ・エッチング技術により、開口部を設ける（図 3（j）参照）。

#### 【 0 0 2 2 】

次に、チタン層を約 6 0 n m、窒化チタン層を約 1 0 0 n m の厚さ堆積し、続いてタングステン層を約 5 0 0 n m の厚さ堆積した後、エッチバックにより、層間絶縁膜の開口部以外のチタン層、窒化チタン層、タングステン層を除去し、2 層目埋め込みプラグ 1 1 を形成する（図 4（k）参照）。

次に、チタン層を約 3 0 n m、窒化チタン層を約 2 0 n m、Al-Cu 層を約 4 0 0 n m、窒化チタン層を約 1 0 0 n m の厚さ堆積し、フォトリソグラフ・エッチング技術により、2 層目配線 1 2 を形成する（図 4（l）参照）。

次に、表面の保護膜 2 0 を約 3 0 0 0 n m の厚さ堆積し、外部と信号のやり取りを行なうための電極パッド部 1 3 を開口する（図 4（m）参照）。

#### 【 0 0 2 3 】

以上の方法により形成されたショットキーバリアダイオードを用いて、ダイオードブリッジ回路を構成し、またこれと同じ方法により MOS 型トランジスタの

電極形成がなされるので、このMOS型トランジスタで周辺の回路を構成することにより、工程を特段に増やすことなく、同一シリコン基板上に、ダイオードブリッジ回路と周辺の回路を形成することが可能となる。ショットキー接合が金属とシリコンとの直接接触でなく、シリサイド層を介してシリコンに接触しているため、所謂スパイク現象が生じない。このために、製品の歩留り向上が望める。また、電極部分を自己整合で作成できるため、高集積化が可能となる。

なお、上記では、所謂プラグを2層形成する工程について説明したが、プラグは1層の場合でも本発明の主旨に反するものではないことは、言うまでもない。

#### 【0024】

図5は、本発明を使用したICモジュールの回路構成図の一例である。図5に示すICモジュールの回路構成は、アンテナ31と、非接触インターフェイス36、レギュレータ37、CPU41とからなっている。非接触インターフェイス36は、整流回路32、変調回路33、復調回路34、及びクロック分離回路35からなっている。また、整流回路32、レギュレータ37を介して、電力供給されるCPU41としては、フラッシュメモリ38、制御回路39及びROM/RAM40よりなっている。

#### 【0025】

本発明のショットキーバリアダイオードは、非接触インターフェイス36の整流回路32において、ダイオードブリッジ回路に使用している。ダイオードブリッジ回路の構成自体は、通常用いられているものと同じであり、詳細は省略する。

図6は、本発明に係る半導体集積回路装置を搭載したICカード42の概念図の一例である。つまり本発明のICモジュール43とアンテナ44を内蔵させ、樹脂成形(図示せず)により作成されたカードであり、アンテナ45のついたリーダライタ46と端末機器47との間にて電源電圧の供給、制御信号とデータの授受を行なうものである。

#### 【0026】

#### 【発明の効果】

以上説明したように、本発明では、ショットキー電極としてのシリサイド層を

、M O S F E T のソース・ドレイン領域上及びゲート電極上に自己整合的に形成されるシリサイド層と同時に作成することができる。ショットキーバリアダイオードでもM O S F E T 部と同様に、コンタクトプラグを介し、配線に接続する構造が取れるため、M O S F E T 部のプラグを作成した後に、わざわざショットキー電極となる部分の開口を行なう必要がなく、また、電極のパターン形成を行なう工程を省くことが可能となる。

また、電極を自己整合で作成できるため、基本的に高集積化が可能となり、更にはショットキー接合が金属とシリコンとの直接接触でなく、シリサイド層を介して形成されているため、所謂スパイク現象が起きないことより、製品歩留りの向上が期待できる。

【図面の簡単な説明】

【図 1】

本発明の半導体集積回路装置の概略断面図である。

【図 2】

本発明の半導体集積回路装置の製造方法の概略工程断面図である。

【図 3】

本発明の半導体集積回路装置の製造方法の概略工程断面図である。

【図 4】

本発明の半導体集積回路装置の製造方法の概略工程断面図である。

【図 5】

本発明の I C モジュールの概略平面図である。

【図 6】

本発明の I C カードの概略平面図である。

【図 7】

従来の半導体集積回路装置の概略平面図である。

【図 8】

図 7 の I I I - I I I 線の概略断面図である。

【符号の説明】

1、51 シリコン基板

- 2、52 N型ウェル
- 3 P型ウェル
- 4、55 フィールド酸化膜
- 5  $N^+$ 拡散層
- 6、59'  $P^+$ 拡散層
- 7 チタンシリサイド層
- 7' チタン層
- 8、8'、60 層間絶縁膜
- 9 1層目埋め込みプラグ
- 10 1層目配線
- 11 2層目埋め込みプラグ
- 12 2層目配線
- 13 電極パッド部
- 14、54 ゲート酸化膜
- 15、56 ゲート電極
- 16 サイドウォールスペーサー
- 17、19、57、59 ソース・ドレイン領域
- 20 保護膜
- 21 アノード
- 22 カソード
- 23 フォトリジスト
- 31、44、45 アンテナ
- 32 整流回路
- 33 変調回路
- 34 復調回路
- 35 クロック分離回路
- 36 非接触インターフェイス
- 37 レギュレータ
- 38 フラッシュマクロ

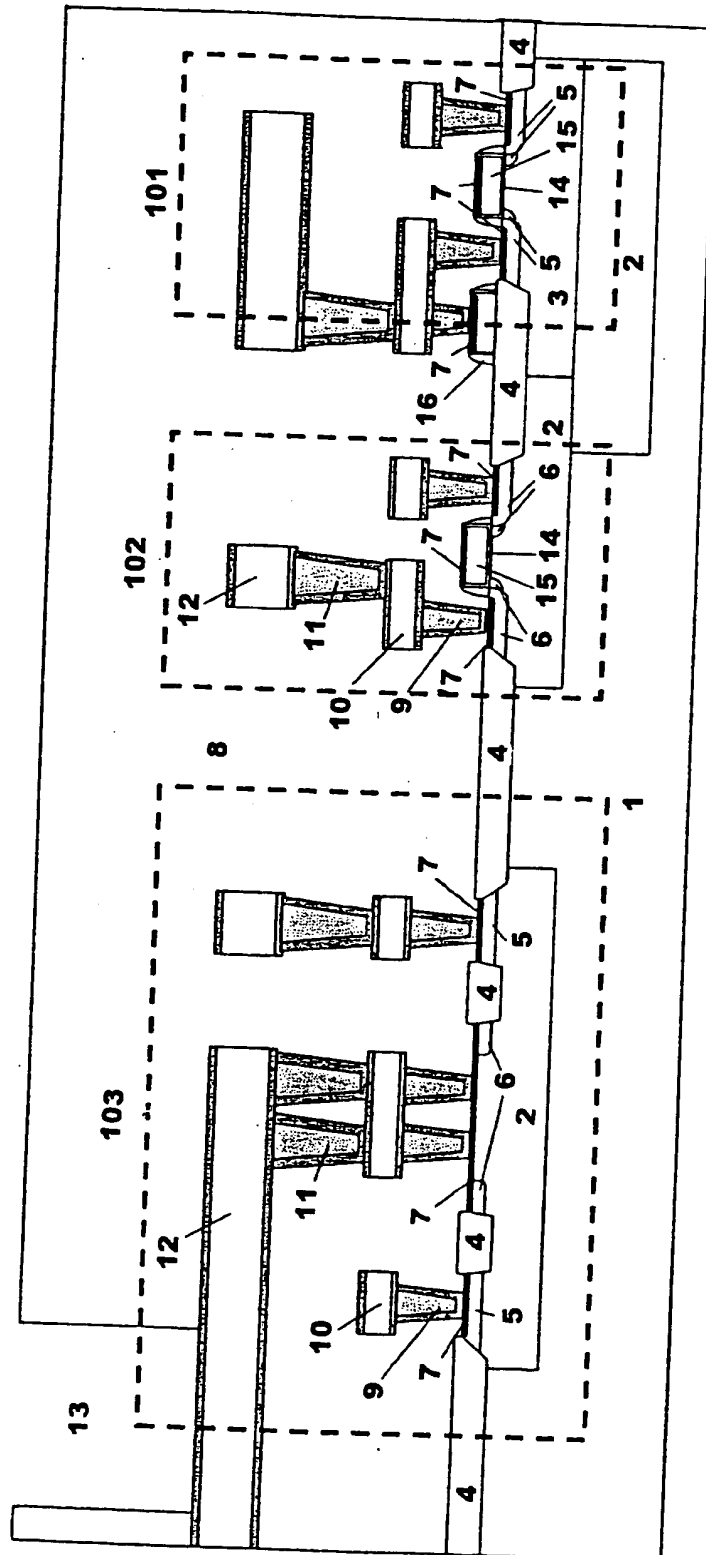
- 39 制御回路
- 40 ROM/RAM
- 41 CPU
- 42 ICカード
- 43 ICモジュール
- 46 リーダライタ
- 47 端末機器
- 53 P型チャンネルストッパ
- 54' トランジスタ形成領域
- 58 P<sup>-</sup>拡散層
- 61 コンタクトホール
- 62 金属配線
- 100 NチャンネルMOSFET
- 101 N型MOSFET
- 102 P型MOSFET
- 103、130 ショットキーバリアダイオード
- 110 PチャンネルMOSFET
- 120 ウエル電源



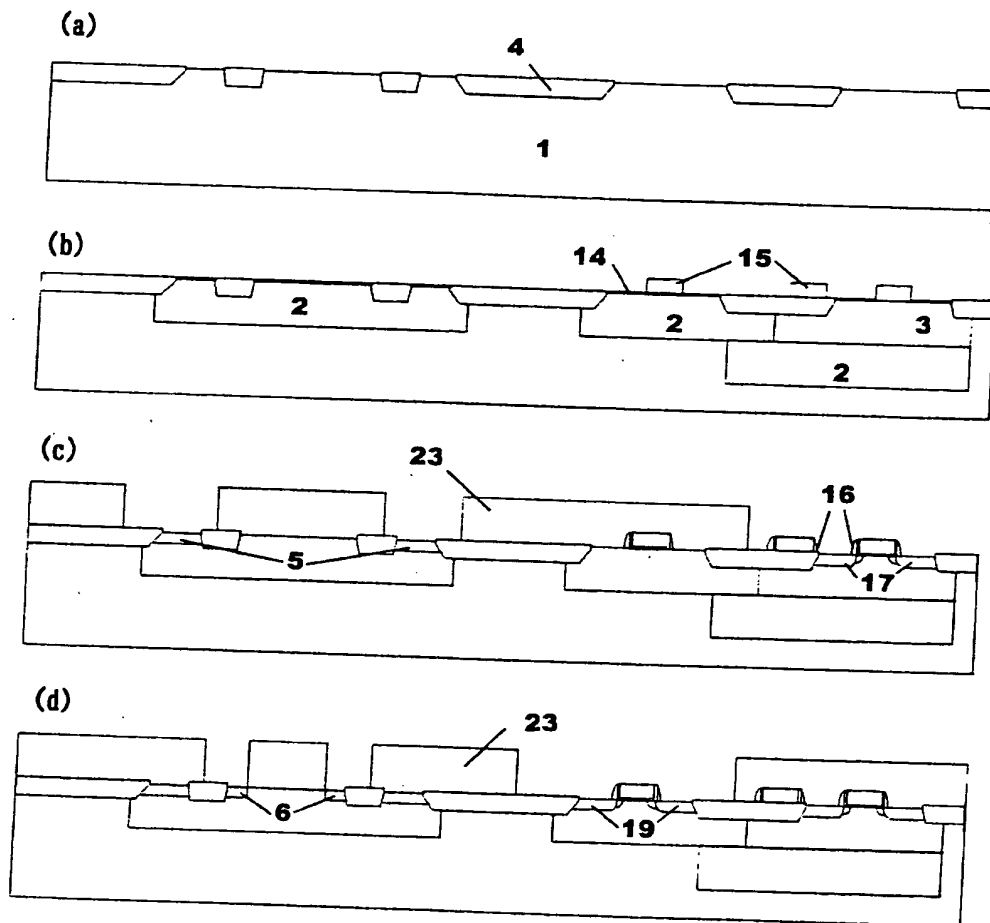
【書類名】

図面

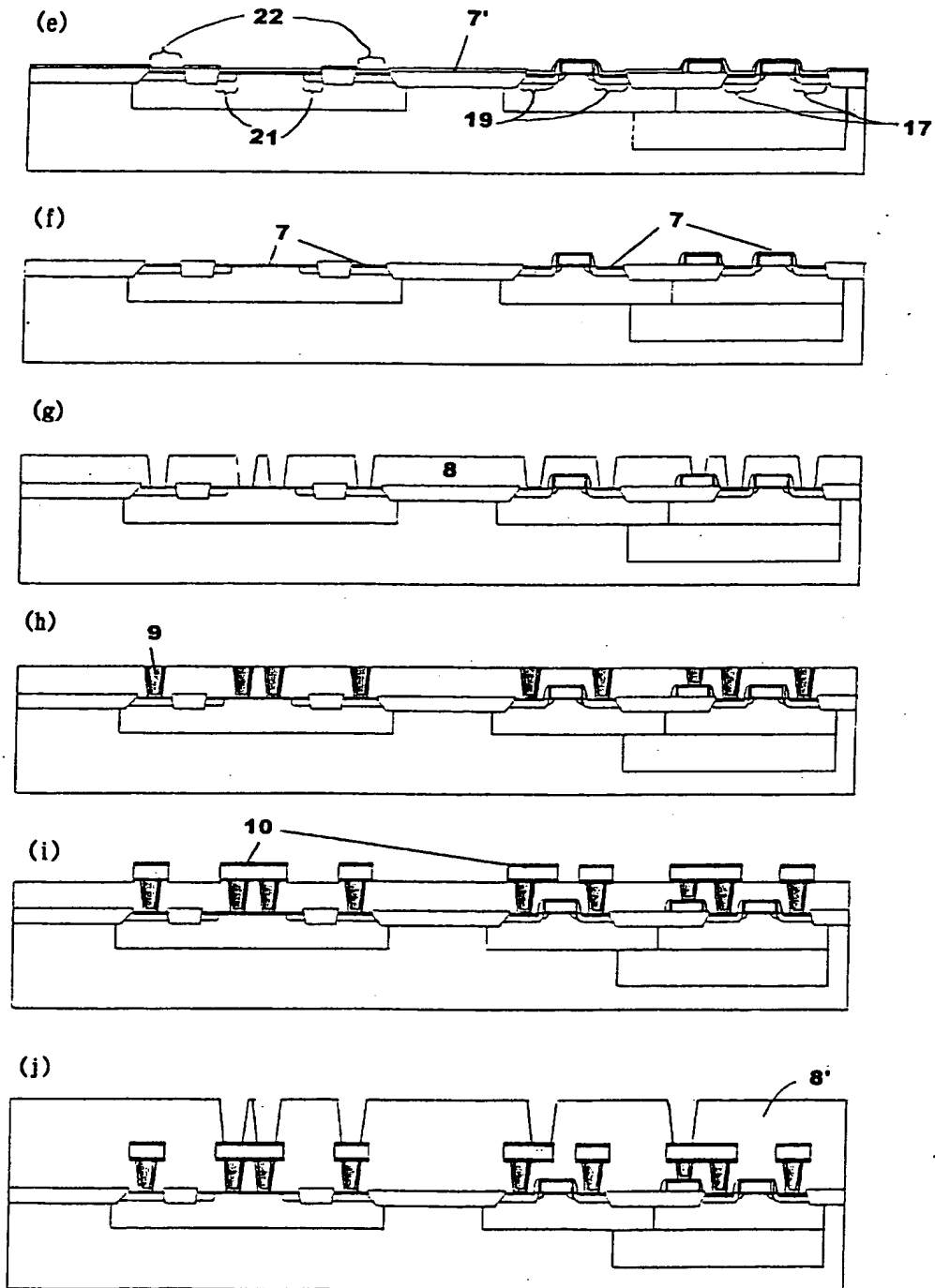
【図1】



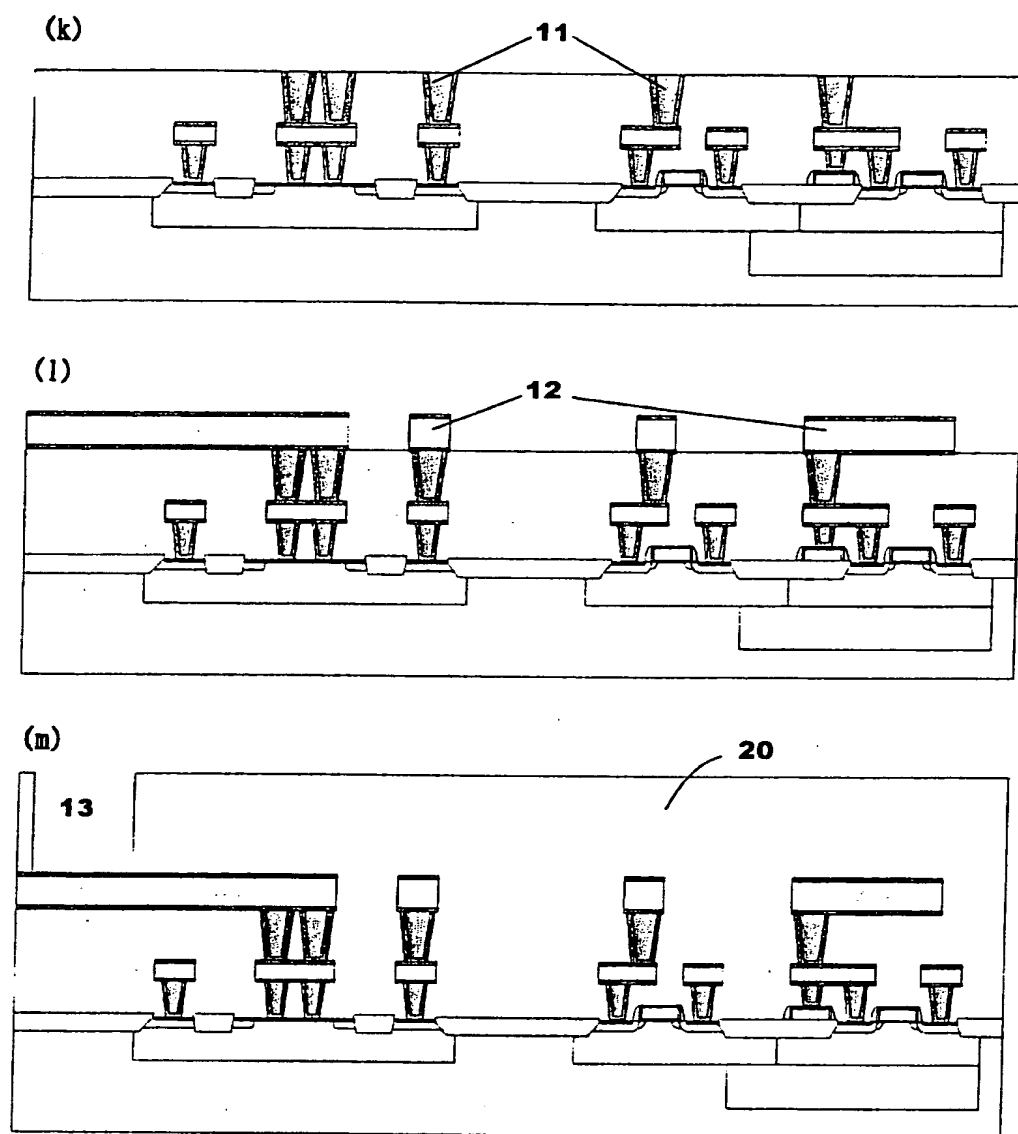
【図 2】



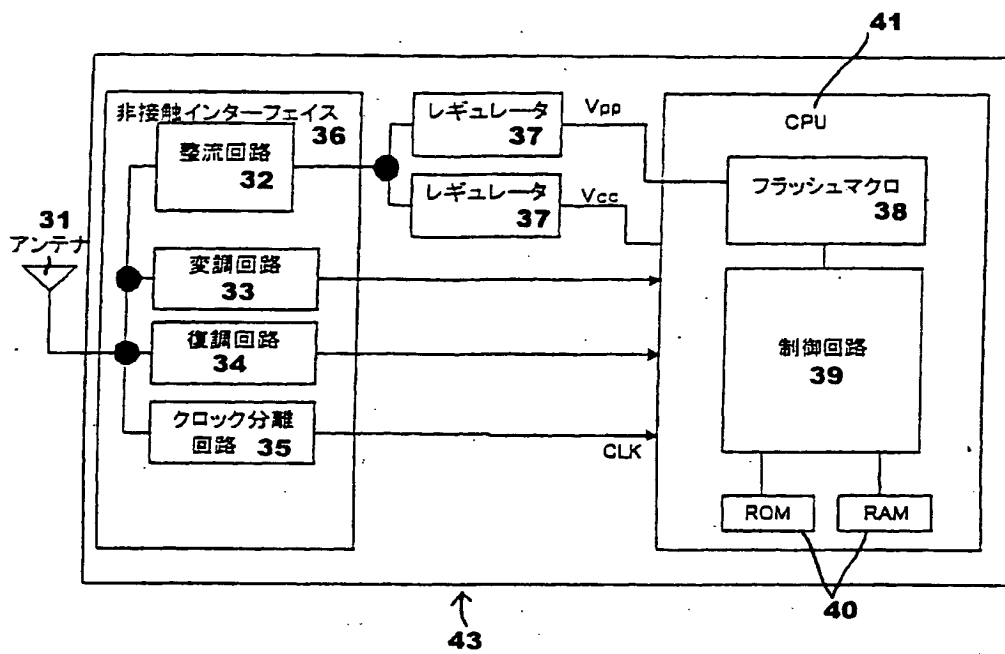
【図 3】



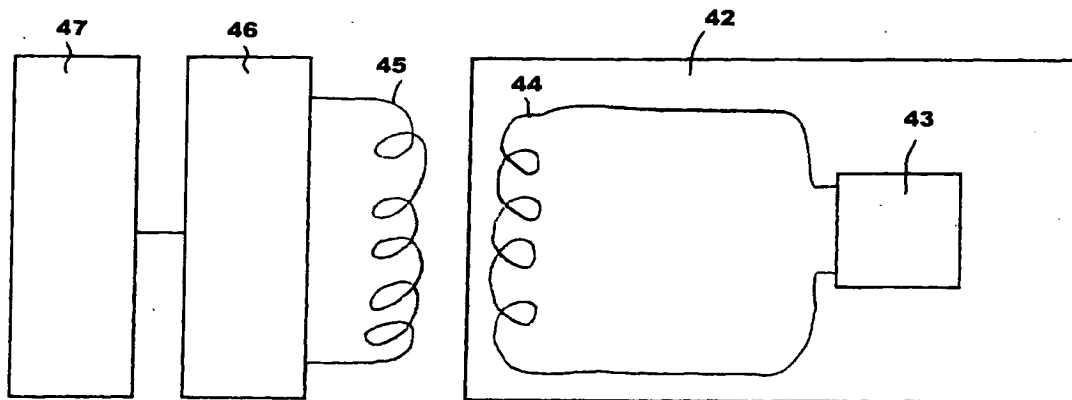
【図4】



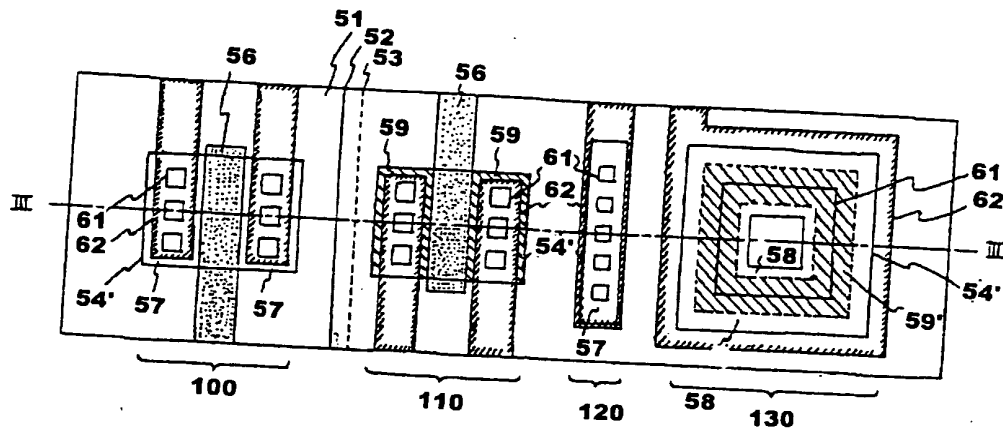
【図 5】



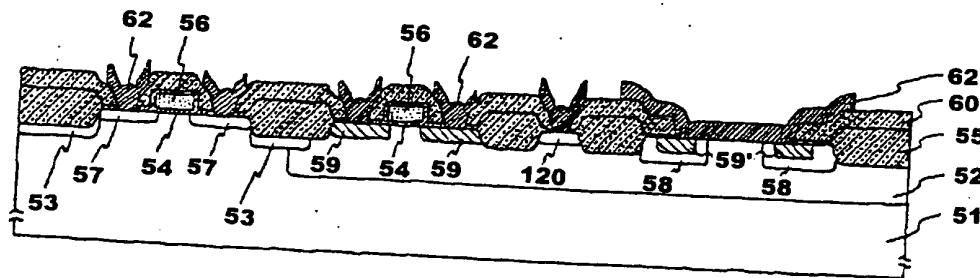
【図 6】



【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 工程を増やすことなく製造することが可能なシリサイド層からなるショットキーバリアを備えた半導体集積回路装置を提供することを課題とする。

【解決手段】 ショットキーバリアダイオードで構成されるダイオードブリッジ回路と、MOS型トランジスタで構成される周辺回路とが、同一のシリコン基板上に形成され、ショットキーバリアダイオードの構成要素であるショットキーバリアがシリサイド層からなることを特徴とする半導体集積回路装置により上記課題を解決する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町22番22号
氏 名	シャープ株式会社